

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-288812

(43)公開日 平成4年(1992)10月13日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/02	Z	8518-4M		
C 2 3 C 14/56		8414-4K		
H 0 1 L 21/68	A	8418-4M		
// H 0 5 H 13/04	A	9014-2G		

審査請求 未請求 請求項の数3(全 5 頁)

(21)出願番号 特願平3-52861

(22)出願日 平成3年(1991)3月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 宮内 ▲栄▼三

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 岡村 茂

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 久継 ▲徳▼重

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 井理士 伊東 忠彦 (外2名)

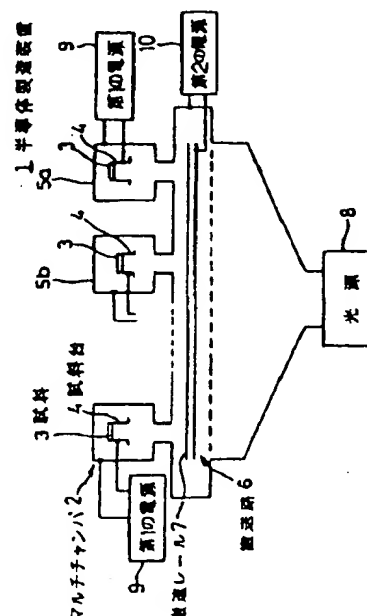
(54)【発明の名称】 半導体製造装置

(57)【要約】

【目的】 本発明はマルチチャンバで連続的に処理を行う半導体製造装置に関し、高真空プロセス中の微細な塵埃をも除去することを目的とする。

【構成】 マルチチャンバ2の各チャンバ5 a, 5 b, …, 及び搬送路6に光源8より放射光を照射する。各チャンバ壁面と試料台4との間に第1の電源9を設け、搬送路6壁面と搬送レール7との間に第2の電源10を設ける。そして、放射光によりイオン化された塵埃をチャンバ壁面、搬送路壁面に付着させる。

本発明の原理構成図



【特許請求の範囲】

【請求項1】 試料(3)を試料台(4)に載置して、真空下で所定の処理を行うチャンバ(5a、5b、…)が連設されたマルチチャンバ(2)と、該マルチチャンバ(2)の各チャンバ(5a、5b、…)のそれぞれに連結され、搬送レール(7)により該試料(3)を該各チャンバ(5a、5b、…)に搬送するための搬送路(6)と、該搬送路(6)の水平方向全域より該マルチチャンバ(2)の各チャンバ(5a、5b、…)に所定のシンクロトロン放射(SOR)光を照射して所定の処理を行うと共に塵埃をイオン化させる光源(8)と、該試料台(4)と該マルチチャンバ(2)の各チャンバ(5a、5b、…)の壁面との間に電圧を印加して所定極性に帯電させ、該光源(8)からのSOR光によりイオン化された該各チャンバ(5a、5b、…)内の塵埃を、該各チャンバ(5a、5b、…)壁面に付着させる第1の電源(9)と、を有することを特徴とする半導体製造装置。

【請求項2】 前記搬送路(6)の壁面と前記搬送レール(7)との間に電圧を印加して所定極性に帯電させ、前記光源(8)からのSOR光によりイオン化された該搬送路(6)内の塵埃を、該搬送路(6)の壁面に付着させる第2の電源(10)を設けることを特徴とする請求項1記載の半導体製造装置。

【請求項3】 前記光源(8)は、前記所定の放射光を、垂直方向に走査して前記マルチチャンバ(2)の各チャンバ(5a、5b、…)及び前記搬送路(6)に照射することを特徴とする請求項1又は2記載の半導体製造装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、マルチチャンバで連続的に処理を行う半導体製造装置に関する。

【0002】近年、250Mbや1MbクラスのDRAM(ダイナミックRAM)等のULSI(超LSI)集積回路の開発が盛んに行われており、この種の集積回路は最小寸法ルールが極めて小さく、いわゆるディープサブミクロン領域となる。これに伴い、結晶材料の加工や成膜において極めて高品質、高均質性が要求されている。そのため、極めて微細な塵埃をも除去する必要がある。

【0003】

【従来の技術】ULSI集積回路を製造するにあたり、最小寸法ルールは0.3 μ m以下であり、半導体膜、金属膜、酸化膜等の極薄化及び膜質の均一化、均質化が必要であると共に、不純物の深さ方向分布が超浅構造にせざるを得なく、金属膜や酸化膜と半導体膜との相互拡散を防止する必要がある。また、多層配線工程でシャープなパターン形成、段越え配線が必要であり、アスペクト比(パターンの高さとの幅の比)が大きくなるのを防止

し、線間接近での容量増加及びクロストーク等の増加を防止する必要がある。さらに、ストレスや高電流密度により、基板の原子集団が原子状粒子となって基板上を転がるマイグレーションが生じることから金属膜は完全単結晶に近いものにする必要がある。

【0004】これらの条件を満足するために、製造段階においては超高真空雰囲気中で処理するクリーンプロセスで行う必要があり、マルチチャンバ装置が使用される。すなわち、ウエハ試料を大気に曝さず、清浄雰囲気中各工程を処理できることは、低温での処理が可能であり、これが上記条件を満足させる一つの要因となる。

【0005】

【発明が解決しようとする課題】しかし、マルチチャンバ内を超高真空にする場合、ある程度の大きさの塵埃は除去することができるが、大分子、クラスター等の微細な塵埃まで除去することができない。半導体プロセスにおける微細性や高精細性への要求が高まるにつれて微細な塵埃が影響を及ぼすという問題がある。

【0006】そこで、本発明は上記課題に鑑みなされたもので、高真空プロセスの中に微細な塵埃をも除去する半導体製造装置を提供することを目的とする。

【0007】

【課題を解決するための手段】図1に、本発明の原理構成図を示す。図1の半導体製造装置1において、2はマルチチャンバであり、試料3を試料台4に載置して、真空下で所定の処理を行うチャンバ5a、5b、…が連設される。6は搬送路であり、該マルチチャンバ2の各チャンバ5a、5b、…のそれぞれに連結され、搬送レール7により該試料3を該各チャンバ5a、5b、…に搬送する。8は光源であり、該搬送路6の水平方向全域より該マルチチャンバ2の各チャンバ5a、5b、…に所定のSOR光を照射して所定の処理を行うと共に、塵埃をイオン化させる。9は第1の電源であり、該試料台4と該マルチチャンバ2の各チャンバ5a、5b、…の壁面との間に電圧を印加して所定極性に帯電させ、該光源8からのSOR光によりイオン化された該各チャンバ5a、5b、…内の塵埃を、該各チャンバ5a、5b、…壁面に付着させる。

【0008】また、適宜前記搬送路6の壁面と前記搬送レール7との間に電圧を印加して所定極性に帯電させ、前記光源8からの放射光によりイオン化された該搬送路6内の塵埃を、該搬送路6の壁面に付着させる第2の電源10を設け、また、前記光源8が、前記所定のSOR光を、垂直方向に走査して前記マルチチャンバ2の各チャンバ5a、5b、…及び前記搬送路(6)に照射する。

【0009】

【作用】図1に示すように、光源8からのSOR光をマルチチャンバ2の各チャンバ5a、5b、…及び搬送路6に照射する構成とし、各チャンバ5a、5b、…の壁

面と試料台4間に第1の電源を接続し、適宜搬送路6の壁面と搬送レール7間に第2の電源を接続している。また、必要に応じてSOR光を垂直方向に走査する。すなわち、各チャンバ5a、5b、…内及び搬送路6内にSOR光を照射することにより各内部に存在する塵埃をイオン化するものである。このイオン化された塵埃を、第1及び第2の電源9、10により所定極に帯電された各チャンバ5a、5b、…の壁面および搬送路6の壁面に付着して除去するものである。これにより、大分子やクラスタ等の微細な塵埃をも除去することが可能となる。

【0010】

【実施例】図2に、本発明の一実施例の構成図を示す。図2において、半導体製造装置1は、チャンバ5a～5fが連設されたマルチチャンバ2が、搬送路6とゲートバルブ11を介して連結される。各チャンバ5a～5fには試料としてシリコン等のウエハ3を載置する試料台4が設けられる。例えばチャンバ5aではウエハ3の表面をクリーニングし、チャンバ5bでは結晶成長させ、チャンバ5cではイオン注入によりドーピングを行い、チャンバ5dではエッチングを行い、チャンバ5eでは絶縁膜を形成し、そしてチャンバ5fでは金属膜を形成してシリコン等の半導体製造を行う。

【0011】また、搬送路6の両端にはそれぞれゲートバルブ11を介してロードロック室12a、12bが設けられ、このロードロック室12aより、ウエハ3が収納されたウエハカセット13が搬送路6内の搬送レール7上をトロック（図示せず）により移動する。この搬送レール7は、セラミック等の絶縁物で形成され、表面に金属メッキ等を施されてチャンバ5a、5b、…とは電気的に絶縁状態となっている。また、搬送路6の側面の水平方向全域にビームライン14が設けられて、光源8より搬送路6及びチャンバ5a、5b、…にシンクロトロン放射（SOR）光を照射する。なお、光源8については図3において説明する。

【0012】また、各チャンバ5a～5fは、壁面と試料台4との間に第1の電源が接続されて、壁面を負の極性に帯電させる。また、搬送路6の壁面と搬送レール7（又はトロック）との間に第2の電源が接続されて、搬送路6の壁面を負の極性に帯電させている。なお、マルチチャンバ2、搬送路6、光源8、ビームライン14は、超高真空状態に維持されている。

【0013】ここで、図3に、本発明の光源を説明するための図を示す。図3（A）はSOR光源を使用するシステムを示したもので、図3（B）はSOR光の特性のグラフを示したものである。いま、図3（A）において、SOR光源8は、電子が入射したSORリング8aにより接線上に光を放射するもので、それぞれのクリーンルームI、IIにおいて種々の処理の光源として使用される。例えば、クリーンルームIIでは主に超微細加工処理として、露光、結晶加工、結晶成長、蛍光分析、結晶

制御に用いられ、クリーンルームIでは主に大面積薄膜の成長、加工、マルチチャンバにおけるSOR光前処理、及び本発明の半導体製造装置1のマルチチャンバ2における水平方向に長いビーム形状の形でプロセス処理を行う場合に用いられる。

【0014】このSOR光源8より放射されるSOR光は、図3（B）に示すように、可視光からX線までの極めて広い波長（エネルギー）範囲に亘る白色光であり、総ての原子等をイオン化できることを意味する。すなわち、種々の材料を構成する分子や原子の内殻電子や価電子を励起することができるもので、材料結晶格子のボンドを弱めたり、切断したりできることを意味する。従って、真空中に浮遊したり、ウエハ3に付着している分子を含む塵埃（大分子やクラスタ）にSOR光を照射すると、高い確率でイオン化させることができる。

【0015】なお、図4に、本発明の放射光を説明するための図を示す。図4において、ビームライン14内に、片側をヒンジ15で回動可能にSOR光と水平方向で同じ幅の反射鏡16を設けて、SOR光源8からのSOR光を各チャンバ5a～5f及び搬送路6の垂直方向に走査するものである。SOR光源8からのSOR光は、反射鏡16への入射前は垂直方向で1～2cm幅のものであり、該反射鏡16を垂直方向に所定角度範囲で回動させて、反射後の幅を十数cmに広げられる。すなわち、SOR光が上下に走査されることとなり搬送路6の全空間、又はチャンバ5a～5f内のウエハ3付近の空間の塵埃（分子も含む）を容易に処理することができる。

【0016】次に、図5に、本発明の塵埃除去を説明するための図を示す。図5は、図2における左側断面を示したもので、チャンバ5fにSOR光を照射する場合を示している。図5において、いま、SOR光は、搬送路6内の空間及び表面付近の塵埃（分子も含む）に対し、光イオン化作用を行い、生じたイオンはSOR光のようなエネルギーの高い光により励起されると、単価イオン、多価イオン又はその集合体となる。これが搬送路6の内壁面と搬送レール7間の第2の電源10による電界によって、相対的に負極性に帯電された壁面に、該第2の電源10の印加電圧Vcに応じて、注入や被覆の形で付着される。

【0017】また、チャンバ5f（他のチャンバ5a～5eも同様）は、搬送路6を通り抜けたSOR光を導入する。チャンバ5a～5fでは、処理によってはSOR光により薄膜の形成、精細エッチング、イオン注入した結晶のアニール等を行うと共に、前述と同様にチャンバ空間内の塵埃（ウエハ3上の分子も含む）をイオン化しチャンバ5a～5fの壁面に、第1の電源9で印加される電圧Vcに応じて堆積という形で付着させる。なお、この場合、ウエハ3上に付着している大分子をイオン化して電界で壁面に付着させるために、第1の電源9から

5

の印加電圧が高く設定される場合もある。

【0018】このように高真空プロセス中で従来不可能であった微細な塵埃を除去することができ、除去は、所定の処理の前段階でいわゆるルーチン的に一工程として行ってもよく、また処理中でリアルタイムに行うこともでき経済的となる。

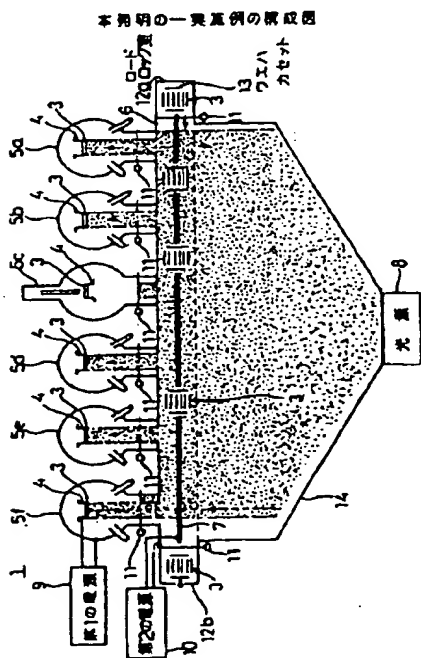
【0019】

【発明の効果】以上のように本発明によれば、高真空中のマルチチャンバの各チャンバ及び搬送路に放射光を全幅領域で照射し、塵埃をイオン化してチャンバ、搬送路に付着させることにより、高真空プロセス中で微細な塵埃をも除去することができ、各処理における歩留りを向上させることができる。

【図面の簡単な説明】

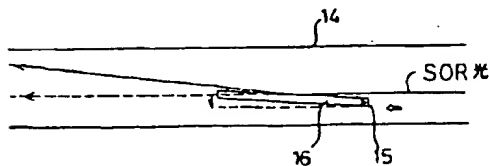
【図1】本発明の原理構成図である。

【図2】



【図4】

本発明の放射光を説明するための図



6

【図2】本発明の一実施例の構成図である。

【図3】本発明の光源を説明するための図である。

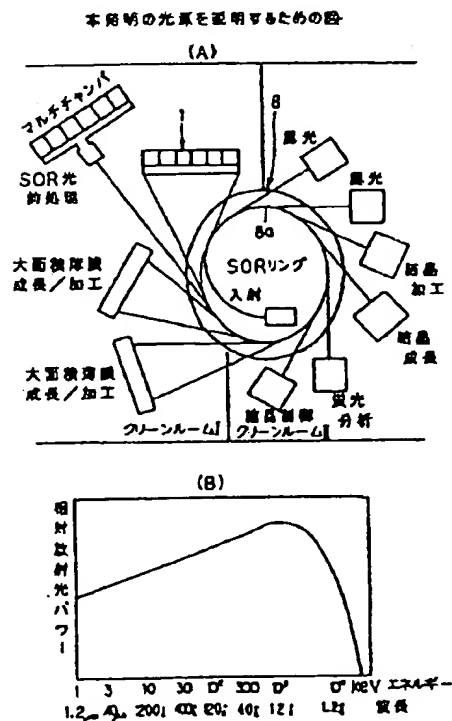
【図4】本発明の放射光を説明するための図である。

【図5】本発明の塵埃除去を説明するための図である。

【符号の説明】

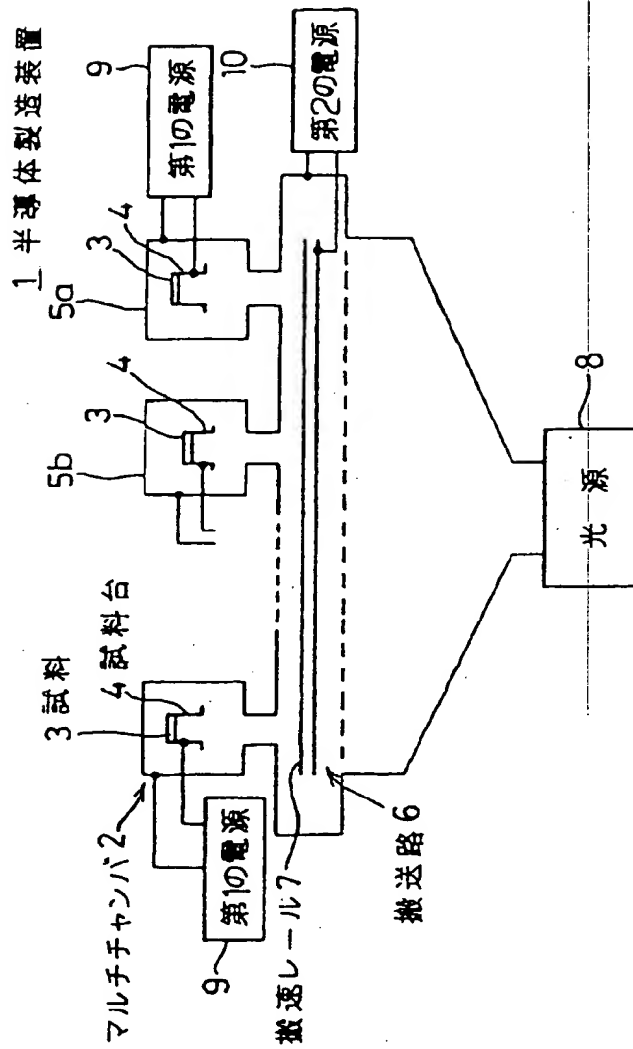
- 1 半導体製造装置
- 2 マルチチャンバ
- 3 試料 (ウエハ)
- 4 試料台
- 5 a, 5 b, ... チャンバ
- 6 搬送路
- 7 搬送レール
- 8 光源
- 9 第1の電源
- 10 第2の電源

【図3】



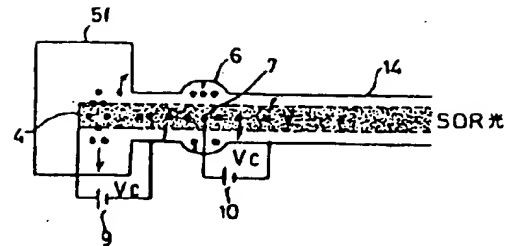
【図1】

本発明の原理構成図



【図5】

本発明の塵埃除去を説明するための図



1/5/1
DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

03923712 **Image available**
SEMICONDUCTOR MANUFACTURING APPARATUS

PUB. NO.: 04-288812 [JP 4288812 A]
PUBLISHED: October 13, 1992 (19921013)
INVENTOR(s): MIYAUCHI EIZO
OKAMURA SHIGERU
HISATSUGU NORISHIGE
APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)
APPL. NO.: 03-052861 [JP 9152861]
FILED: March 18, 1991 (19910318)
INTL CLASS: [5] H01L-021/02; C23C-014/56; H01L-021/68; H05H-013/04
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 12.6 (METALS --
Surface Treatment); 23.1 (ATOMIC POWER -- General)
JOURNAL: Section: E, Section No. 1326, Vol. 17, No. 97, Pg. 99,
February 25, 1993 (19930225)

ABSTRACT

PURPOSE: To remove fine dust in a high-vacuum process in a semiconductor manufacturing apparatus wherein continuous processing is performed in multiple chambers.

CONSTITUTION: Synchrotron radiation is emitted from a light source 8 and is applied to chambers 5a, 5b... of multiple chambers 2 and a conveying path 6. A first power supply 9 is provided between the wall surface of each chamber and a sample stage 4. A second power supply 10 is provided between the wall surface of the conveying path 6 and a conveying rail 7. Dust which is ionized by the synchrotron radiation is attached to the wall surfaces of the chambers and the wall surface of the conveying path.

